

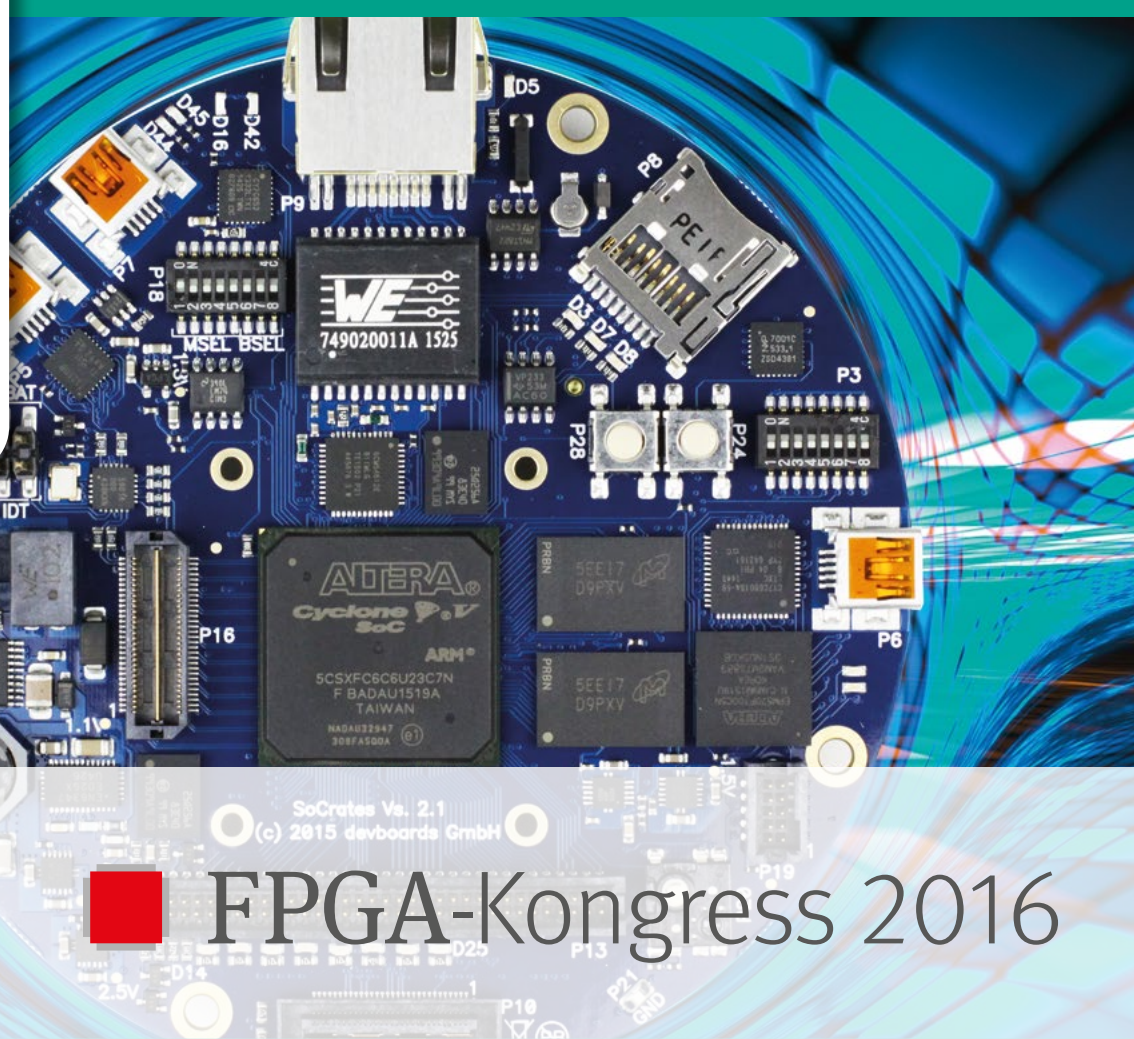
Sponsoren

FUJITSU

SILICA
An Avnet Company

AVNET
Memec

NewTec
Creating safety.
With passion.



FPGA-Kongress 2016

12.07. – 14.07.2016, NH Hotel, Dornach-München

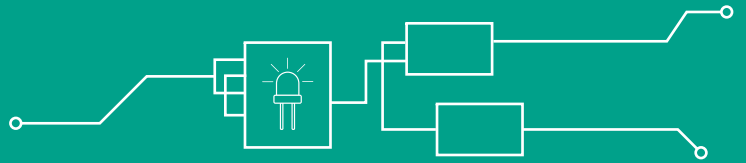
www.fpga-kongress.de

FPGA-basierte Systeme zeitgemäß entwickeln

Veranstalter:

**ELEKTRONIK
PRAXIS**
Akademie

PLC2
PROGRAMMABLE LOGIC
COMPETENCE CENTER



Holen Sie alles aus Ihren FPGA-basierten Systemen!

FPGA-Technologien haben einen wahren Evolutions-sprung vollbracht, was neue Denkansätze und Lösungen von Hardware- als auch Software-Entwicklern erfordert.

Mit dem FPGA-Kongress, der vom Fachmagazin ELEKTRONIKPRAXIS und dem Design- und Schulungs-center PLC2 GmbH veranstaltet wird, greifen wir diesen Fortschritt herstellerübergreifend auf – und fokussieren anwendergerechte Lösungen, die Sie schnell in Ihren eigenen Entwicklungs-Alltag integrieren können.

Egal, ob Sie die Welt der Field Programmable Gate Arrays gerade erst kennenlernen oder schon ein alter Hase sind: Der FPGA-Kongress bietet für jeden Wissens-stand den passenden Anschluss.

Kongress-Themen:

- Applications
- Sprachen
- Embedded Design
- Board Level
- Safety & Security
- Debug & Verification
- Camera & Vision
- Architektur

Stimmen aus der Branche

„Der FPGA-Kongress ist der Treffpunkt zum Erfahrungsaustausch mit Experten.“

Stefan Gächter
(System Industrie Electronic)

„Sehr gut für mich als FPGA-Einsteiger!“

Frank Heinrich
(Knick elektroni-sche Messgeräte GmbH & Co. KG)




09:00 – 10:30

Applications

Rohde&Schwarz/Tania Campbell:
Das Trainingsumfeld für FPGA-Entwicklung bei R&S (30 min)
HS Heilbronn/Prof. Ralf Gessler: Entwicklung von „High-Speed Algorithmen“ mit „SDSoC und ZYNQ“ (60 min)

Sprachen

SynthWorks/Jim Lewis: Crystal Balling VHDL Into the Future (45 min) 
HAW Hamburg/Prof. Jürgen Reichardt: Was bringt uns VHDL-2008? (45 min)

Embedded Design

Arrow/Michael Fuhrmann: SoC Market Overview (45 min)
PLC2/Stefan Krassin: The new Xilinx Zynq UltraScale+ MPSoC (45 min)

Board Level

Arrow/Dieter Kiermeier: System on Modules (SOM) - The NEW Trend!!! (45 min)
Arrow+Dreamchip/Heiko Henkel: Arria10 - System on Module (SOM) (45 min)

Tutorial 1*

b1 engineering/Bernhard Glöß+Franz Hechfellner: Einsatz von FPGAs – Motivation und Grundlagen für (Wieder-)Einsteiger

Tutorial 2*

PLC2/Eugen Krassin: Easy Start Xilinx - Der FPGA Entwicklungsvorgang

Ausstellung

11:15 – 12:45

Applications

Enclustra/Oliver Bründler: Universelle Anbindung von FPGAs an Hochsprachen (30 min)
PLC2/Thomas Kinder: Low cost PCIe DMA implementation on Xilinx 7 Series FPGAs (60 min)

Sprachen

Bitvis/Espen Tallaksen: Improve your VHDL Testbench – a practical Approach (30 min) 
SynthWorks/Jim Lewis: Advanced VHDL Verification with OSVVM: Is it for me? (60 min) 

Embedded Design

Xilinx/Michael Zapke: Heterogeneous Multicore Processing: Why you need it (45 min)
eVision Systems/Michael Geissel: Erkennen von Clock Domain Übergängen und Reset Problemen in FPGA Designs (45 min)

Board Level


IB Dr. Jürgen Wolde/Dr. Jürgen Wolde: FPGA Connectivity – Trends and Challenges (45 min)
Arrow/Helmut Plötz: Peripherie um den FPGA herum - Hardware Design Optimierung bis zum Maximum (45 min)

Tutorial 1*

b1 engineering/Bernhard Glöß+Franz Hechfellner: Einsatz von FPGAs – Motivation und Grundlagen für (Wieder-)Einsteiger

Tutorial 2*

PLC2/Eugen Krassin: Easy Start Xilinx - FPGA Schaltungstechnik

13:45 – 14:15 **KEYNOTE:** Intel PSG (Altera) / David Thomas „Current status of Tech, future architectures, trends and challenges“ 

14:15 – 15:45


Applications

HAW Hamburg/Prof. Jürgen Reichardt: Ein FPGA-basiertes modulares Software Defined Radio (45 min)
Enclustra/Oliver Bründler: FPGAs und SoCs als Plattform für Software Defined Radio (45 min)

Sprachen

IB Martin Weitzel/Martin Weitzel: Was Sie schon immer über Tcl wissen wollten (90 min)

Embedded Design

Enclustra/Sven Hürlimann: Viele Wege um auf einem SoC aus Embedded Software mit dem FPGA zu kommunizieren (30 min)
Arrow+HandsOn Training/Oren Hollander: Multicore ARM SoC design in FPGA Challenges (60 min) 

Board Level

Arrow/Christian Reiter: Power Management für FPGAs / Sequencing / Highspeed Analog Anbindung (90 min)

Tutorial 1*

PLC2/Eugen Krassin: Xilinx High-Level Synthesis with the Xilinx HLS tool

Tutorial 2*

PLC2/Stefan Krassin: Easy Start Xilinx - Schaltungssynthese mit VHDL

Ausstellung

16:30 – 18:00

Applications

ebv Elektronik GmbH & Co. KG/ Rolf Richter: MAX10 and HyperMax- your way to flexibility (30 min)
Enclustra/Oliver Bründler: FPGAs und SoCs in Motion Control Systemen (30 min)
noasic GmbH/Guy Eschemann: AirHDL: A web-based register file generator for Xilinx ZYNQ, MicroBlaze, and any other AXI4-lite master (30 min)

Sprachen

IB Martin Weitzel/Martin Weitzel: Mit Tcl zur Embedded-Applikation (45 min)
IB Martin Weitzel/Martin Weitzel: Mit Tcl/Tk zur Embedded-Applikation (45 min)

Embedded Design

Arrow/Dieter Kiermeier: SoC Operating Systems (Linux, ...) (45 min)
ebv Elektronik GmbH & Co. KG/ Detlev Zundel: Linux Case Study: Options for low latency and real time behaviour (45 min)

Board Level

IB Dr. Jürgen Wolde/Dr. Jürgen Wolde: Design Challenges (45 min)
IB Dr. Jürgen Wolde/Dr. Jürgen Wolde: DDR4 Interfaces with Xilinx FPGAs (45 min)

Tutorial 1*


PLC2/Thomas Kinder: Software-Defined hardware acceleration with the Xilinx SDSoC tool

Tutorial 2*

PLC2/Eugen Krassin: Easy Start Xilinx - Schaltungssimulation mit VHDL

09:00 – 10:30

Applications

Arrow+HandsOn Training/
Oren Hollander: FPGA
design for high productivity
(60 min) 
b1 engineering/Dr.
Thomas Brumm & Helmut
Brazdrum: FPGA Design
zur Steigerung von
Performance und Effizienz
eines IP Protokolls (30
min)

Sprachen

Reinhard Wobst UNIX
Software/Reinhard
Wobst: Python -
gar nicht bissig
(45 min)
IB Martin Weitzel/
Martin Weitzel:
C-Minus-Minus statt
C-Plus-Plus? (45 min)

Embedded Design

Sensor to Image/
Werner Feith: Vergleich
von CPU's im FPGA:
NIOS/uBlaze/ARM in
Cy5/ZYNQ ..., LINUX/
Hardware/... für diese
FPGA Typen (45 min)
PLC2/Ernst Wehlage:
Open AMP Framework
for Zynq Devices
(45 min)

Board Level

unitel IT-Innovationen/
Gerhard Eigelsreiter:
Hochwertige Lösungen auf
Board- und FPGA-Ebene
entwickeln (45 min)
Leiterplattenakademie/
Arnold Wiemers: Ambi-
onierte Multilayersysteme
für Highspeed-Baugruppen:
Strategien - Funktion -
Kosten (45 min)

Tutorial 1*

SynthWorks/Jim Lewis:
Advanced VHDL Verification
with OSVVM: VHDL's Alter-
native to SystemVerilog and
UVM (Part I) 



Tutorial 2*

ebv Elektronik GmbH &
Co. KG/Rolf Richter: ADC
Feature of Low Cost MAX
10 FPGA Devices

Ausstellung

11:15 – 12:45

Applications

Microsemi/ Jens Hütte-
mann: Using SoC/FPGA
to add IEEE1588 to a
design(30 min) 
Arrow+Flexiblis/Timo
Koskiadhe:
Deterministic Ethernet
and TSN – How they
work and how to use
them (60 min) 

Sprachen

IB Martin Weitzel/Martin
Weitzel: C++: Klassen sind
auch nur Strukturen - aber
besser! (45 min)
IB Martin Weitzel/Martin
Weitzel: C++: Templates sind
kein Hexenwerk! (45 min)

Embedded Design

PLC2/Eugen Krassin:
High-Level-Synthesis with
Xilinx Vivado HLS (45 min)
PLC2/Thomas Kinder:
Xilinx SDSoc - Software
acceleration with FPGA logic
(45 min)

Board Level

DCC/Dirks Nils: Power
Integrität für Hochleis-
tungs-FPGA Boards
(45 min)
Zitzmann GmbH/Hans-
Jürgen Hartmann: Signal
Integrity Simulation
(45 min)

Tutorial 1*

SynthWorks/Jim Lewis:
Advanced VHDL Verification
with OSVVM: VHDL's Alter-
native to SystemVerilog and
UVM (Part II) 

Tutorial 2*

ebv Elektronik GmbH
& Co. KG/Rolf Richter:
Single-Chip Solution
Using Nios II with MAX10

Mittagspause

14:15 – 15:45

Applications

Lattice/Helmut Demel:
Challenges at the Core of IOT
Implementation (30 min)
ADVA Optical Networking SE/
Mirko Lawin: Erzeugung von
analogen Signalen mit FPGAs
(30 min)
JacoL – FPGA Entwicklungen
GmbH/Florian Jablonska: IP
component design – Make or
Buy (30 min)

Sprachen: Optimization

PLC2/Eugen Krassin:
Design of reliable FPGA
Circuits (90 min)


Embedded Design: Camera & Vision

Arrow+HelionVision/Dr.-Ing.
Arndt Bussmann: Camera/
Vision Applications -
Challenges and Trends
(90 min)

Board Level

Arrow+SiliconLabs/Christian
Hinterberger: External
Timing/Clocking of FPGA -
Optimize high speed clocks
in your FPGA designs
(45 min)
Smartlogic/Thomas Zerrer:
Einstieg in PCIe (45 min)

Tutorial 1*

Bitvis/Espen Tallaksen:
Advanced VHDL Verification –
As simple and structured as
possible. – And here you can
try it... (90 min) 

Tutorial 2*

ebv Elektronik GmbH
& Co. KG/Rolf Richter:
Flexible µC on Low Cost
FPGA Family

Ausstellung

16:30 – 18:00


Applications

PLC2/Ernst Wehlage:
More about Bitstream (45 min)
Sensor to Image/Anton Zöchbauer:
Wie binde ich DDRx Speicher an ein
FPGA an und bekomme mehr als
50% der möglichen Netto Bandbreite
in einem UMA Setup mit mehreren
Teilnehmern am DDRx? (45 min)

Sprachen

PLC2/Eugen Krassin:
Achieving Timing
Closure (90 min)

Embedded Design

Xylon/Christian Grimm:
Advanced Real-Time
Video Processing
(60 min)
Carl Zeiss Microscopy
GmbH/Kostyantyn
Bobrovskyy :
Defect pixel correction
(30 min) 

Board Level

IB Dr. Jürgen Wolde/Dr.
Jürgen Wolde: PCIe
Virtualization – Principles
and Realization (45 min)
IB Dr. Jürgen Wolde/Dr.
Jürgen Wolde: PCIe Physical
Layer Debugging (45
min)

Tutorial 1*

Avnet & Goepel/Hosea
Busse: Design for Test
(DfT)


Tutorial 2*

ebv Elektronik GmbH & Co.
KG/Rolf Richter:
Companion Chip Solution
with MAX10 using Qsys and
SPI Interface

09:00 – 10:30

Safety & Security

NewTec/Thomas Haller: Safety und Security - Basics (30 min)

Arrow+HandsOn Training/Oren Hollander: Design Secure Solutions in FPGA and SoC (60 min) 


Debug & Verification

Exostiv/Frederic Leens: FPGA debug & verification - an overview in 2016 (60 min) 

Avnet & Goepel/Hosea Busse : Design for Test (DFT) (30 min)

Camera & Vision

Fujitsu Electronics Europe/ TED/Shigenori Othani: Inrevium FPGA solution for 8K/4K video systems (45 min) 


Carl Zeiss Microscopy GmbH/ Kostyantyn Bobrovskyy : Image processing systems architectures (FPGA) (45 min) 

Architektur

Cadence/Jürgen Jäger: 100M Gatter Designs in FPGAs – Fakt oder Fiction? (45 min)

PLC2/Thomas Kinder: Accelerating development of a pedestrian recognition system through FPGA-based prototyping (45 min)

Tutorial 1*

Sigasi/Phillippe Faes: Sigasi Studio for HDL design 

Tutorial 2*

Avnet: Silica/Dirk Schmitz: Einfache Implementierung des embedded PCIe Interfaces im Xilinx FPGA

Kaffeepause

11:00 – 12:30

Safety & Security

NewTec/Thomas Haller: Wer hat Angst vor'm schwarzen Hut? Safety und Security mit einer FPGA Lösung (90 min)

Debug & Verification

PLC2/Stefan Krassin: HW & SW Co-Debugging in Xilinx Zynq devices (45 min)

PLC2/Stefan Krassin: Analyzing the System Performance in Xilinx Zynq devices (45 min)

Camera & Vision

Silicon Software/Dr. Holger Singpiel: Innovative Bildverarbeitungslösungen auf FPGAs und SoCs in Rekordzeit umsetzen (45 min)

ebv Elektronik GmbH & Co. KG/Harald Friedrich: Smarte Kameradesign, Interfaces und Videoprocessing (45 min)

Architektur

IB Matthias Sund/Matthias Sund: Migration von Altera zu Xilinx FPGAs (60Min)

Arrow/Michael Fuhrmann: Arria10 - Redefining the Midrange (30 min)

Tutorial 1*

Electra IC/Ates Berna: Safety critical design verification 

Tutorial 2*

PLC2/Thomas Kinder: Introduction into PCIe driver programming for Linux (Part I)

Mittagspause


13:30 – 15:00

Safety & Security

Microsemi/Jens Hüttemann: Informations- und Datensicherheit mit Microsemi FPGAs (60 min)


Onespin/Jörg Große: Safety Critical Formal Verification for FPGA Designs (30 min)

Debug & Verification

SynthWorks/Jim Lewis: Transactions and Reuse Strategies in a VHDL Testbench (45 min) 

Bitvis/Espen Tallaksen: A game changer for VHDL verification: Advanced VHDL Verification - Made simple - For anyone (45 min) 

Camera & Vision

Xylon/Christian Grimm: Ultra HD Camera Interfacing, Video Capture and Display (90 min) 

Architektur

Arrow/Michael Fuhrmann: MAX10 - Revolutionizing Non-Volatile Integration (45 min)

ACS Acquisition Services/ Edmund Humenberger: FPGA development board and educational open source Verilog toolchain implementing a Risc-V SoC on a Lattice ICE40 FPGA (45 min)

Tutorial 1*

Exostiv/Frederic Leens: Using EXOSTIV for FPGA debug 

Tutorial 2*

PLC2/Thomas Kinder: Introduction into PCIe driver programming for Linux (Part II)

Kaffeepause


15:30 – 17:00

Safety & Security

Reinhard Wobst UNIX Software/Reinhard Wobst: Hardware in Feindeshand-Kryptografie in embedded devices sicher(er) machen (60 min)

Xilinx/Karsten Schwenk: Cybersecurity MPSoC (30 min)

Debug & Verification

Exostiv/Frederic Leens: Making the most of in-lab debug for complex FPGA systems (45 min) 

Trias/Hans-Jürgen Schwender: Verifikationsansatz für ein FPGA bereit zum Test im Labor (45 min)

Camera & Vision

Xylon/Christian Grimm: Ultra HD Image Signal Processing (ISP) Pipeline (90 min) 

Architektur

PLC2/Eugen Krassin: High Speed Interfaces using ISERDES and OSERDES in Xilinx devices (60 min)

PLC2/Ernst Wehlage: UltraRAM in Xilinx UltraScale+ devices (30 min)

Tutorial 1*

PLC2/Stefan Krassin: HW/SW Co-Debugging in Xilinx Zynq devices

Tutorial 2*

PLC2/ Thomas Kinder + Martin Weitzel: Controlling PCIe devices with a Td/Tk GUI

Preise & Anmeldung

Teilnahmegebühr:

Anmeldung

bis 31. Mai 2016
ab 01. Juni 2016

1 Tag

350 €*
400 €*

2 Tage

500 €*
580 €*

3 Tage

630 €*
730 €*



Achtung: Die Tutorials sind auf jeweils 30 Plätze begrenzt. Melden Sie sich jetzt schnell an, bevor Ihr Thema ausgebucht ist!

Anmeldung unter:
www.fpga-kongress.de

*Preise gelten pro Person und zzgl. MwSt.
Die Abendveranstaltung, die am ersten Tag stattfindet, ist im Preis inbegriffen.



Kontakt



Sebastian Gerstl
ELEKTRONIKPRAXIS

+49 931 418-3098
sebastian.gerstl@vogel.de



Michael Schwarz
PLC2 GmbH

+49 7664 9 13 13 - 15
Michael.Schwarz@plc2.de

Veranstaltungsort

NH Hotel
München Ost Conference Center

Einsteinring 20
D-85609 Dornach-München

Veranstalter

ELEKTRONIKPRAXIS Akademie
www.elektronikpraxis.de

PLC2 Programmable Logic
Competence Center
www.plc2.com