Unsere Premium Sponsoren

ARIETOS Embedded Answers.

AVNET SILICA

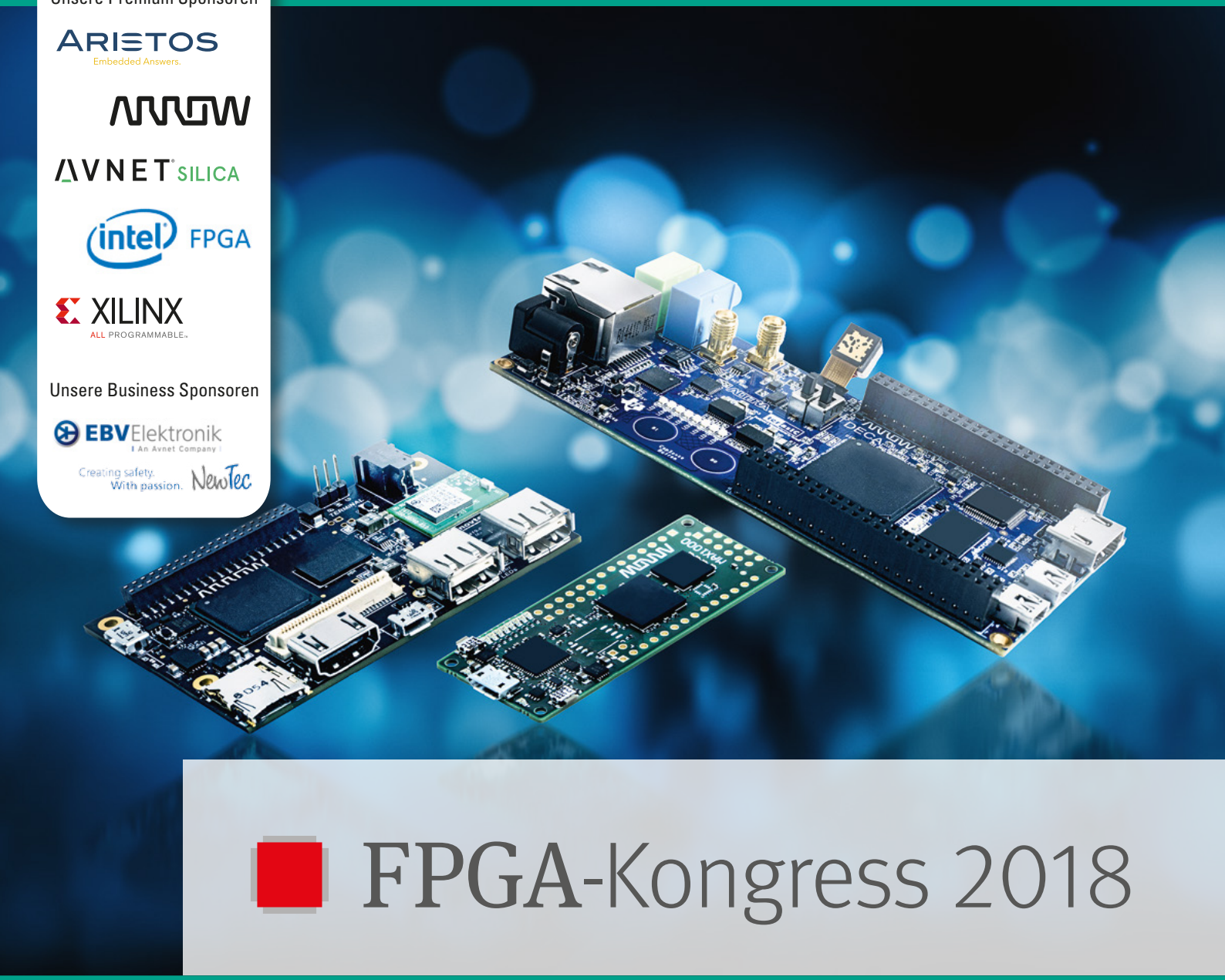
intel FPGA

XILINX ALL PROGRAMMABLE.

Unsere Business Sponsoren

EBV Elektronik An Avnet Company

Creating safety. With passion. NewTec



FPGA-Kongress 2018

12. - 14. Juni 2018, NH Hotel, München-Dornach

FPGA-basierte Systeme zeitgemäß entwickeln

www.fpga-kongress.de

Eine Veranstaltung von

ELEKTRONIK PRAXIS Akademie

PLC2 PROGRAMMABLE LOGIC COMPETENCE CENTER

Vogel Business Media

www.vogel.de

Einführung

Holen Sie alles aus Ihren FPGA-basierten Systemen heraus!

FPGA-Technologien haben einen wahren Evolutionssprung vollbracht, was neue Denkansätze und Lösungen von Hardware- als auch Software-Entwicklern erfordert.

Mit dem FPGA-Kongress, der vom Fachmagazin ELEKTRONIKPRAXIS und dem Design- und Schulungscenter PLC2 GmbH veranstaltet wird, greifen wir diesen Fortschritt herstellerübergreifend auf – und fokussieren anwendergerechte Lösungen, die Sie schnell in Ihren eigenen Entwicklungs-Alltag integrieren können.

Egal, ob Sie die Welt der Field Programmable Gate Arrays gerade erst kennenlernen oder schon ein alter Hase sind: Der FPGA-Kongress bietet für jeden Wissenstand den passenden Anschluss.

Kongress-Themen:

- Applications
- Debug & Verification
- Board Level
- Safety & Security
- Sprachen
- Image Processing
- Architektur
- Embedded Design
- Tools & Werkzeuge
- Automotive

Stimmen aus der Branche

„Viele hochwertige Vorträge. Gute Kontaktmöglichkeiten."

Günter Graf, Ing.-Büro Graf - Teilnehmer

„Internationale Expertenvorträge waren sehr gut, Organisation und Zusammensetzung sehr gut"

Feedback eines Ausstellers

07:45 **Registrierung**

08:30 **Begrüßung: ELEKTRONIKPRAXIS & PLC2**

Tag 1 Dienstag 12. Juni 2018

	Tools & Werkzeuge	Embedded	Image Processing	Sprachen	Tutorial-Track
09:00 – 10:30	**Operating Vivado in a Git environment** *Patrick Lehmann, PLC2* 45 min. **From Git to Continuous Integration** *Patrick Lehmann, PLC2* 45 min.	**Effective Linux development using PetaLinux Tools** *Zach Pfeffer, Centennial Software Solutions* 45 min. **Angepasstes Linux Root-Dateisystem für Zynq mit Peta Linux** *Michael Hänsel / Tobias Scholz, TU Ilmenau* 45 min.	**How to create an embedded vision system** *Adam Taylor, Adiuvo Engineering & Training LTD* 90 min.	**The European Space Agency (ESA) general VHDL testbench architecture project** *Espen Tallaksen, Bitvis* 45 min. **Vom Modell zum produktionsreifen HDL Code** *Dr. Werner Bachhuber, Mathworks* 45 min.	**Sigasi Studio for HDL design. part 1** *Lieven Lemiengre, Sigasi* 90 min.
10:30 – 11:15	**Pause - Partnerausstellung**				
11:15 – 12:45	**VUnit 3.0 – Develop Code with Confidence and Speed** *Lars Asplund, Synective* 45 min. **Beating the Synthesizer** *Oren Hollander, Hands-On Training* 45 min.	**Xilinx Zynq Ultrascale+ MPSoC Boot and Configuration** *Stefan Krassin, PLC2* 45 min. **Xilinx Zynq Ultrascale+ MPSoC vs. Zynq 7000 SoC – Software Difference** *Ernst Wehlage, PLC2* 45 min.	**Image Processing on Arria 10 SoM using Basler BCON cameras** *Heiko Henkel, Arrow - Dreamchip* 60 min. **High Resolution Display & Camera Interfaces in cost optimized FPGAs** *Ted Marena, Microsemi* 30 min.	**OSVVM Overview** *Jim Lewis, Synthworks* 60 min. **Taming an AXI4-Lite Master Verification IP Transaction Based Model** *Jim Lewis, Synthworks* 30 min.	**Sigasi Studio for HDL design. part 2** *Lieven Lemiengre, Sigasi* 90 min.
12:45 – 13:45	**Mittagspause - Partnerausstellung**				
13:45 – 14:15	**KEYNOTE: Adaptable hardware accelerators for Cloud and Edge applications** *Ramine Roane, Xilinx*				
14:15 – 15:45	**VIVADO Design Tool Flow** *Eugen Krassin, PLC2* 90 min.	**Zync US+ RFSoC - Design Overview** *Dr.-Ing. Jürgen Wolde, Ingenieurbüro Wolde* 45 min. **Intel PSG - Intel FPGA - HLS Compiler** *Marco Smutek, Arrow* 45 min.	**Accelerating the Development of Intelligent, Vision-Enabled Devices at the Edge** *Dirk Seidel, Lattice* 45 min. **NIR Camera Sensors in the Face Analytics and Related Video Applications** *Christian Grimm / Gordan Galic, Xylon* 45 min.	**Schlank und Effizient: Embedded Devices mit Tcl ans Netz bringen** *Martin Weitzel, Ingenieurbüro Martin Weitzel* 45 min. **Tk-Tunnel: Vivado Scripting mit GUI** *Martin Weitzel, Ingenieurbüro Martin Weitzel* 45 min.	**Automated Testbench Generation, Teil 1** *Hans-Jürgen Schwender / Stefan Bauer, Mentor Graphics* 90 min.
15:45 – 16:30	**Pause - Partnerausstellung**				
16:30 – 18:00	**Xilinx XDC - Constraining made simple (part 1)** *Eugen Krassin, PLC2* 90 min.	**Ereignisgesteuerte Applikations - Architekturen unter Linux** *Martin Weitzel, Ingenieurbüro Martin Weitzel* 90 min.	**Deep Learning mit VisualApplets – High Performance CNNs auf FPGAs** *Holger Singpiel, Silicon Software* 45 min. **Object Detection Under 1mW with an FPGA and Binarized Neural Network** *Abdullah Raouf, Lattice* 45 min.	**Eine Software-Hochsprache für FPGAs?** *Prof. Dr. Christian Siemers, TU Clausthal* 45 min. **Writing OSVVM Style Test Cases** *Jim Lewis, Synthworks* 45 min.	**Automated Testbench Generation, Teil 2** *Hans-Jürgen Schwender / Stefan Bauer, Mentor Graphics* 90 min.

18:00 **Offene Diskussion - Partnerausstellung** (bis ca. 19:00 Uhr)

19:00 **Abendveranstaltung**

08:15 **Registrierung**

Tag 2 Mittwoch 13. Juni 2018

	Tools & Werkzeuge	Automotive	Applications	Debug & Verification	Tutorial-Track
09:00 – 10:30	**Xilinx XDC - Constraining made simple (part 2)** *Eugen Krassin, PLC2* 90 min.	**Automotive ASIL-C Power Delivery Solutions for Xilinx Zynq UltraScale+ MPSoC** *Marcos Laraia, On Semiconductor* 45 min.	**TSN – the future industrial Ethernet Standard or just AVB 2.0?** *Michael Roeder, Avnet Silica* 45 min.	**Microsemi's built-in Debugging Features for Polarfire FPGAs** *Marco Smutek, Arrow - Microsemi* 45 min.	**Using Vivado in a Git environment** *Patrick Lehmann, PLC2* 90 min.
		Power Solutions for Automotive Applications *Warren Tsai, Maxim* 45 min.	**Implementing Time Sensitive Networking in your FPGA** *Michael Zapke, Xilinx* 45 min.	**VHDL testbench scoreboarding and hierarchical verification components** *Espen Tallaksen, Bitvis* 45 min.	
10:30 – 11:15	**Pause - Partnerausstellung**				
11:15 – 12:45	**VIVADO - Embedded Design Flow for the Zynq SoC and MPSoC Families** *Stefan Krassin, PLC2* 45 min.	**High-Resolution Multi-Camera Methodology for Autonomous Vision System Solution Development** *Michaël Uyttersprot, Avnet Silica* 45 min.	**Das universelle PCIe, USB und Ethernet Kommunikationspaket für FPGAs** *Matthias Frei, Enclustra* 45 min.	**Xilinx AXI Verification IP (VIP)** *Ernst Wehlage, PLC2* 90 min.	**Writing OSVVM Verification IP and Test Cases** *Jim Lewis, Synthworks* 90 min.
	Umsetzung leistungsfähiger Bildverarbeitungs- und Grafikalgorithmen mit XILINX System Generator unter Matlab/Simulink *Dr. Jörg Pospiech, AVT GmbH* 45 min.	**Using DNN for Vision/ Image Based ADAS and Guided Robotics in FPGA** *Christian Grimm / Gordan Galic, Xylon* 45 min.	**Partial Reconfiguration with Intel FPGAs** *Oren Hollander, Hands-On-Training* 45 min.		
12:45 – 14:15	**Mittagspause - Partnerausstellung**				
	Architekturen	**Safety & Security**			
14:15 – 15:45	**Zynq US+ RFSoC – Architectural Overview** *Dr.-Ing. Jürgen Wolde, Ingenieurbüro Wolde* 45 min.	**NTSmartWatchdog: FPGA based safety concept for customer solutions up to SIL3** *Thomas Mack, NewTec* 45 min.	**Delta-Sigma Modulation mit FPGAs – Theorie und Praxis** *Mirko Lawin, ADVA* 45 min.	**Xilinx Transceiver Basic implementation and testing** *Joerg Siemers, Avnet Silica* 45 min.	**Test Bench Automation with VUnit 3.0** *Lars Asplund, Synective* 90 min.
	Extreme Edge Analytics Fusing Python and Zynq All Programmable SoC *Giulio Corradi, Xilinx* 45 min.	**FPGAs for Safety-Critical Applications** *Muhammad Haque Khan, OneSpin - Solutions* 45 min.	**Intel FPGAs – Acceleration from Edge to Cloud** *Pat Mead, Intel PSG* 45 min.	**Efficient SoC design and verification with Model-Based Design** *Baruch Mitsengendler, Mathworks* 45 min.	
15:45 – 16:30	**Pause - Partnerausstellung**				
16:30 – 18:00	**Von der Konsole bis zur Hardware – Eine anatomische Betrachtung von Systemarchitekturen** *Charles Gardiner, Ingenieurbüro Gardiner* 45 min.	**Designing Mission Critical FPGA** *Adam Taylor, Adiuvo Engineering & Training LTD* 90 min.	**How a FPGA module can break the adoption barrier and accelerate the design cycle?** *Günter Plechinger, Reflex CES* 45 min.	**Exhaustive automated solutions for complex FPGA verification challenges** *Stefan Bauer, Mentor Graphics* 90 min.	**Running VHDL Testbenches automatically in a Continuous Integration Environment** *Patrick Lehmann, PLC2* 90 min.
	Performance Optimization with Intel Stratix 10 HyperFlex Architecture *Oren Hollander, Hands-On Training* 45 min.		**Low-Latency Packet Processing on Low-Cost FPGAs** *Christian Liß, Innoroute* 45 min.		
18:00	**Ende Tag 2**				

08:15 **Registrierung**

Tag 3 Donnerstag 14. Juni 2018

	Architekturen	Safety & Security	Applications	Board Level	Tutorial-Track
09:00 – 10:30	**Getting started with RISC-V in Microsemi FPGAs** *Marco Smutek, Arrow - Microsemi* 45 min.	**TUX Airborne - Encapsulating Linux — real-time, safety and security with a trusted microhypervisor** *Michael Roeder, Avnet Silica* 45 min.	**Beyond printk: efficient Zynq UltraScale+ MPSoC Linux debugging and development** *Zach Pfeffer, Centennial Software Solutions* 45 min.	**Hitchhikers Guide to Analog for FPGA** *Thomas Hauer, Arrow - Analog Devices* 60 min.	**SDSoC Session 1 – Introduction** *Adam Taylor, Adiuvo Engineering & Training LTD* 90 min.
	Xilinx Zynq Ultrascale+ MPSoC Security, Protection, SMMU an TZ *Ernst Wehlage, PLC2* 45 min.	**Komplexe Anforderungen und funktionale Sicherheit – wie bleibt der Entwicklungsaufwand überschaubar** *Harald Friedrich, NewTec* 45 min.	**Power optimized Deep Machine Learning using FPGAs** *Ted Marena, Microsemi* 45 min.	**Configurable Power Management Solutions for the new generation of Xilinx SOCs and FPGAs** *Sri Jandhyala, Dialog Semiconductor* 30 min.	
10:30 – 11:00	**Kaffeepause**				
11:00 – 12:30	**High-Speed Memory Interfacing mit UltraScale Architectures** *Dr.-Ing. Jürgen Wolde, Ingenieurbüro Wolde* 45 min.	**Preventing FPGA application cyber-attacks and IP theft in industrial automation and smart home by using hardware-based security** *Hector Tejero Prieto, Arrow - Infineon* 60 min.	**Development of an Algorithm for Generation of Single-In Single-Out DRP Data for MMCM of Xilinx 7 Series and Virtex-6 FPGA** *Jianxiong Zhang, Universität Stuttgart* 45 min.	**Decoupling and noise absorbing Inductors for FPGA and Processor applications** *Michael Freitag, Arrow - KEMET Electronics* 45 min.	**SDSoC Session 2 – Creating our first SDSoC application** *Adam Taylor, Adiuvo Engineering & Training LTD* 90 min.
	UltraScale Architectures - Anbindung schneller Massenspeicher (NVMes) *Dr.-Ing. Jürgen Wolde, Ingenieurbüro Wolde* 45 min.	**Why Trustzone is great, but not the end of the story** *Sven Hürlimann, Rhesus Engineering Hürlimann* 30 min.	**FPGA based Cyber-Physical-System exploiting run-time adaptive Processor and Acceleration Architectures** *Prof. Dr.-Ing. habil. Michael Hübner / Dip.-Ing. Markus Malitschek, Ruhr-University Bochum* 45 min.	**Highspeed-Leiterplatten auf FPGA-Basis für Kfz- und Emobilität** *Arnold Wiemers, Leiterplattenakademie* 45 min.	
12:30 – 13:30	**Mittagspause**				
13:30 – 15:00	**Usage of Q-SPI NOR on Intel-Altera SoC FPGA Platforms** *Francesco Lupo, Arrow - Micron* 45 min.	**MAX1000 and Winbond Security Flash** *Matthias Glattfelder, Arrow - Intel PSG* 45 min.	**Fully Integrated Generic SoC Platform for micro- and mmWave communication and radar systems** *M. Petri / M. Ehrig, IHP Microelectronics* 45 min.	**Integrierte Strom-Versorgungen von Infineon für FPGAs und MPSoCs** *Udo Blaga, Avnet Silica* 45 min.	**SDSoC Session 3 – Debugging / profiling and tracing** *Adam Taylor, Adiuvo Engineering & Training LTD* 90 min.
	Cells, Cores, and Resources *Prof. Dr. Wolfgang Matthes* 45 min.	**FPGA Flash Memory-Based System Implementing a Neural Network with a Safety Run-Time Design and Protocol for Secure Updates** *Dr. Antonino Mondello / Dr. Alberto Troia, Micron* 45 min.	**Einsatz von SoC-Technologie in akustisch instrumentierten Schmelzsonden** *Dmitry Eliseev, RWTH Aachen* 45 min.	**Hyperbus Interface with the Arrow Cyclone10 LP Reference Kit** *Matthias Glattfelder, Arrow - Intel PSG* 45 min.	
15:00 – 15:30	**Kaffeepause**				
15:30 – 17:00	**Open Source IP Cores for the FPGA Design Cycle** *Patrick Lehmann, PLC2* 60 min.	**TUX Armored – Hardware assisted Trust and Security in GNU/Linux** *Michael Roeder, Avnet Silica* 45 min.	**XILINX - DSP Design - Introduction to Model Composer** *Ernst Wehlage, PLC2* 60 min.	**Power for Digital Devices** *Thomas Hauer, Arrow - ADI* 60 min.	**SDSoC Session 4 – Creating your own** *Adam Taylor, Adiuvo Engineering & Training LTD* 90 min.
	Implementierung eines 8051 auf dem Arrow LXO2000 (MachXO2) *Harald Flügel, Arrow - Lattice* 30 min.	**Bremsklotz Haftungsrecht? Mit (Rechts-) Sicherheit neue Produkte entwickeln** *Susanne Meiners, NewTec* 45 min.	**Panasonic Polymer Capacitor for FPGAs** *Mr. Mustafa Khan / Mr. Hiroshi Setsuda, Arrow - Panasonic* 30 min.	**Power Management for FPGA systems design and optimization** *Dawid Powazynski, Arrow - ADI* 30 min.	
17:00	**Ende der Veranstaltung**				

Änderungen vorbehalten

Preise & Anmeldung

Teilnahmegebühr

Anmeldung

1 Tag	2 Tage	3 Tage
400 €	580 €	740 €

(Preise gelten pro Person und zzgl. MwSt.)

Anmeldung unter:
www.fpga-kongress.de

Achtung: Der Tutorial Track ist auf 30 Plätze begrenzt.
Melden Sie sich jetzt schnell an, bevor dieser Track ausgebucht ist!

BBQ - Abend-veranstaltung

Wir freuen uns auch in diesem Jahr wieder gemeinsam mit Ihnen eine Abendveranstaltung durchzuführen.

Zur besseren Planbarkeit wird ein Teilnehmerbeitrag in Höhe von 20,– EUR zzgl. MwSt. erhoben.

Kontakt

Sebastian Gerstl
ELEKTRONIKPRAXIS
+49 931 / 418-3098
Sebastian.Gerstl@vogel.de

Michael Schwarz
PLC2 GmbH
+49 7664 / 9 13 13 - 15
Michael.Schwarz@plc2.de

Veranstaltungsort

NH Hotel
München-Dornach
Einsteinring 20
D-85609 München-Dornach

Veranstalter

ELEKTRONIKPRAXIS Akademie
www.elektronikpraxis.de

PLC2 Programmable Logic
Competenence Center
www.plc2.com