

# Silizium ist geduldig

## Stand und Ausblick bei Semikunden-IC

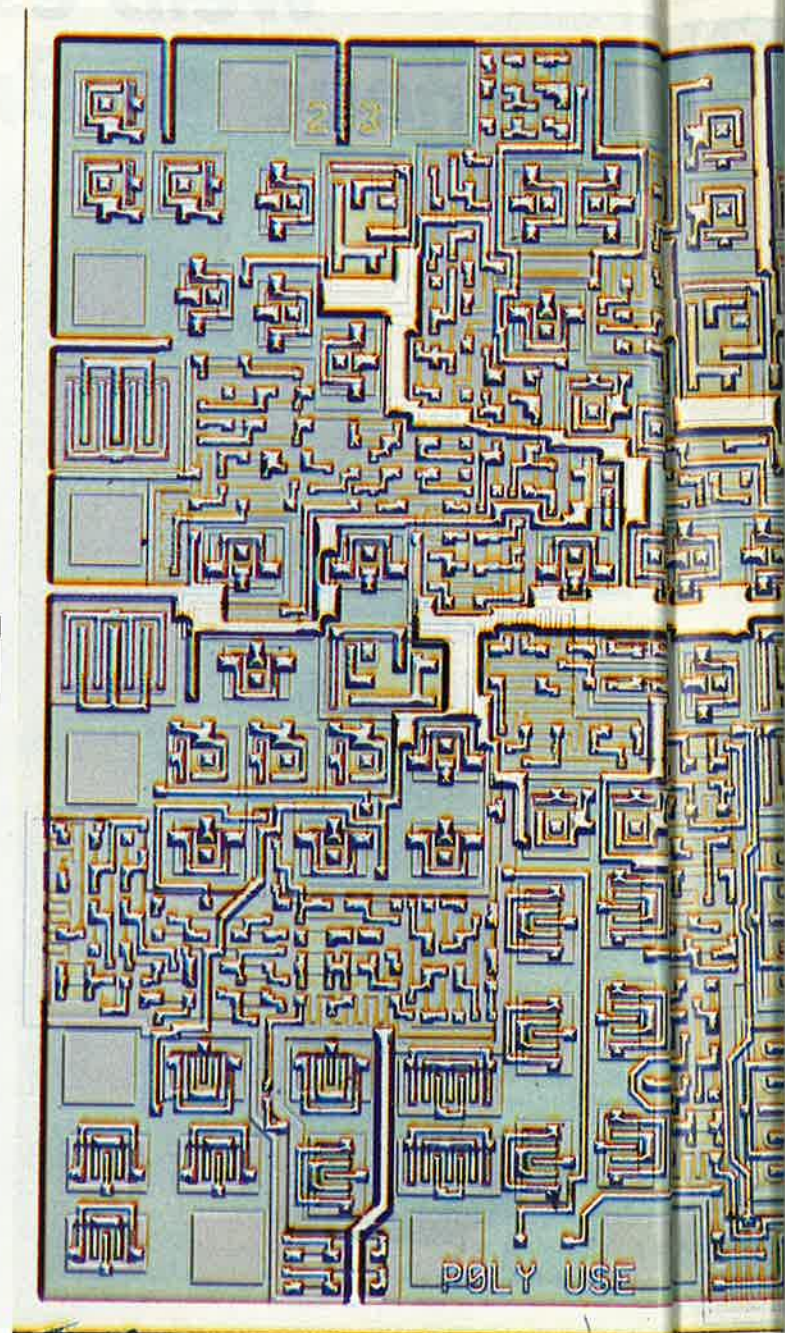
*Das Spektrum der Semikunden-IC erstreckt sich von FPLA, PAL über Gate Arrays, analoge, digitale und gemischte Gate Arrays bis hin zum Standardzellenentwurf und Entwurf mit allgemeinen Zellen. Neben den Bausteinen selbst müssen auch ihre Entwurfsmethoden berücksichtigt werden, um sie effektiv einzusetzen.*

Geht das nicht gegen den Strich: Ein 32-bit-Zähler von Siemens, der universell im Bereich Messen, Steuern und Regeln eingesetzt werden kann, ein Standardbaustein also, ist als Gate Array ausgeführt.

### Hohe Entwurfs-sicherheit

Manfred Haas vom Siemens-Entwicklungszentrum für Mikroelektronik in Villach, Österreich, löst diesen vermeintlichen Widerspruch auf: „Für die Entwicklung von Gate Arrays stehen heute eine Reihe von CAD-Werkzeugen zur Verfügung, die eine besonders rasche Entwicklung und Realisierung von logischen Schaltungen ermöglichen. Damit kann sehr schnell auf Markterfordernisse reagiert und eine hohe Entwurfsicherheit erreicht werden.“

Nun braucht der Elektroniker nicht gleich die Umkehrung aller Werte befürchten, denn nach wie vor kommt es

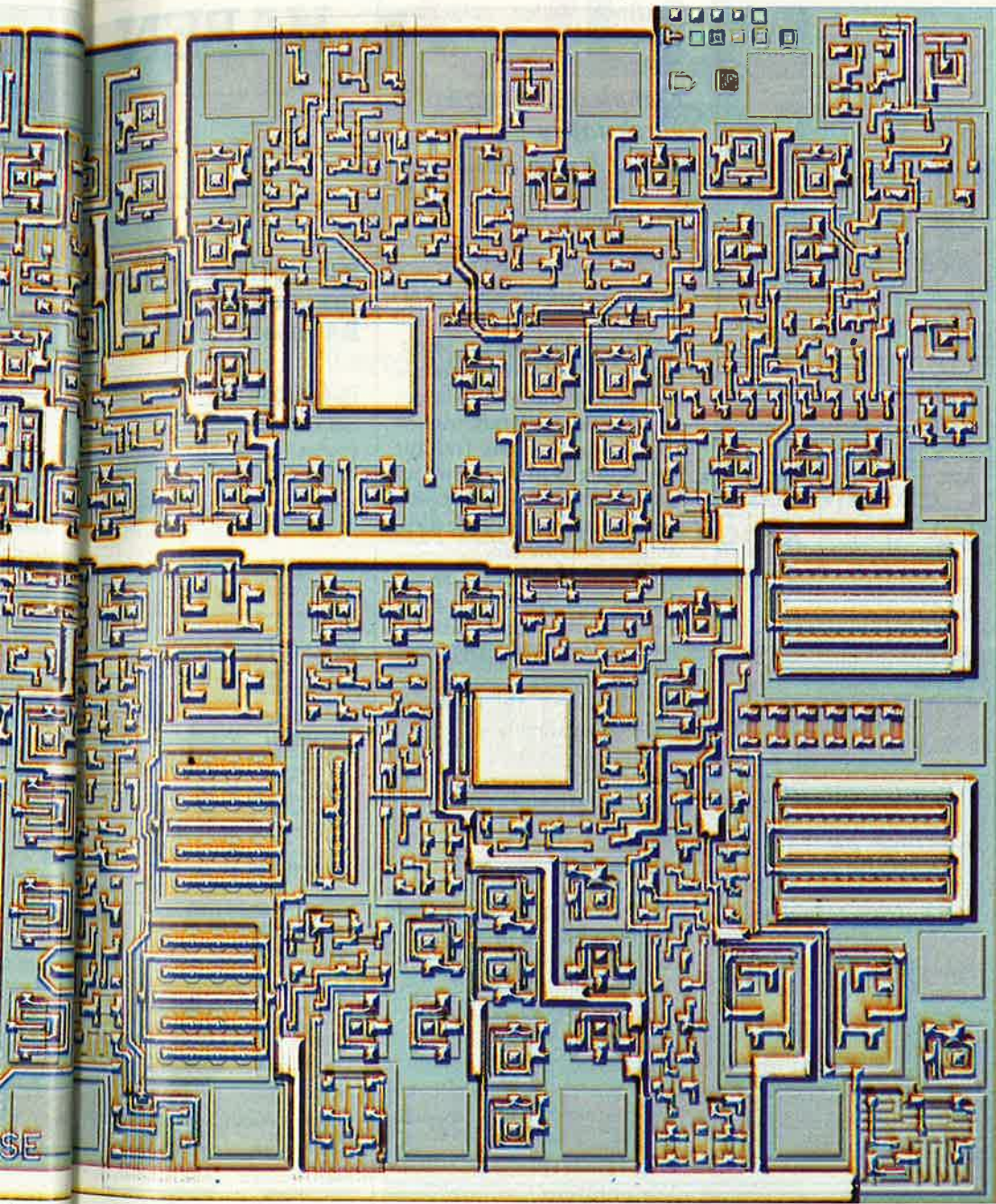


bei Standardbausteinen, wie  $\mu$ P und Speicher auf die maximale Ausnutzung der Chipfläche an, und da sind halt beim Gate Array Abstriche zu machen. Die Domäne von Gate Arrays werden auch weiterhin Semikunden-IC sein, wie auch die Standardzellen-IC und die programmierbaren Logikarrays.

### PAL mit einem Äquivalent von 5000 Gattern

Im allgemeinen bestehen programmierbare Logikarrays (FPLA) aus einem program-

mierbaren Und- und Oderfeld. Bei PAL, wie Monolithic Memories sie anbietet, sind sequenzielle Funktionen durch das Oder-Feld fest verdrahtet und nur das Und-Feld macht elektrisch schmelzbare Metallbrücken programmierbar. Das reicht vollkommen, um zwischen Ein- und Ausgängen Boolesche Logikfunktionen herzustellen (Bild 1). Die PAL-Versionen erhältlich, wo die Ausgänge auf das Und-Feld zurückgekoppelt sind, so daß die Ausgänge zu I/O-Pin werden. Die Ausgänge können auch mit D-Flipflop und



Dieses analoge bipolare Array von Thomson Semiconducteurs hat zwei Metallisierungsebenen; eine davon ist kundenspezifisch

Spezifikationen in Zellenbibliotheken verfügbar gehalten werden.

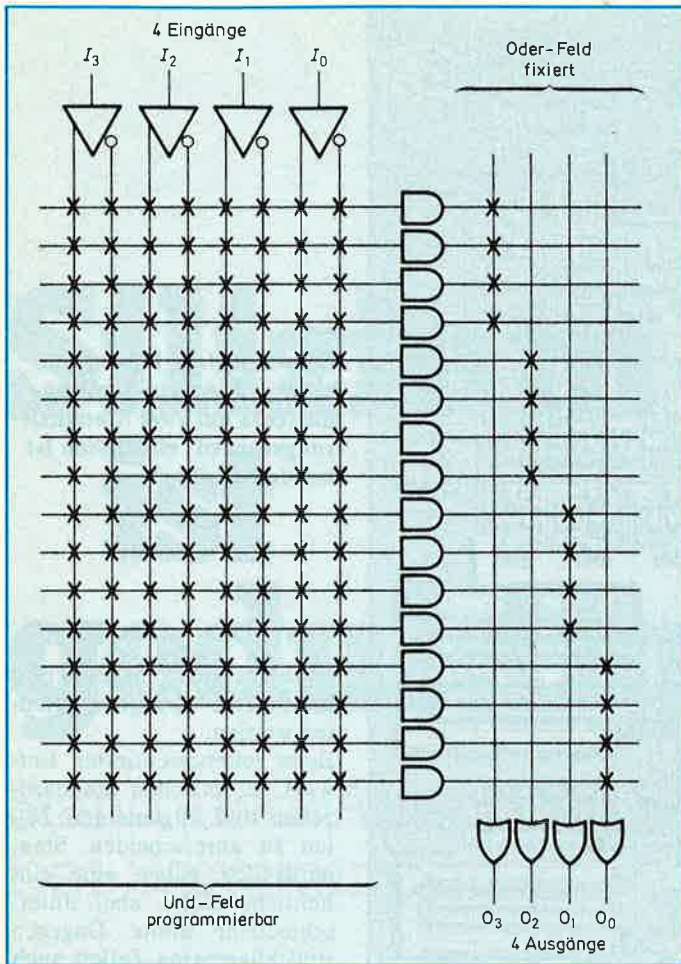
Beim zellenorientierten Entwurf ist zwischen Standardzellen und allgemeinen Zellen zu unterscheiden. Standardzellen haben eine einheitliche Höhe, aber unterschiedliche Breite. Dagegen sind allgemeine Zellen auch in der Höhe variabel. Damit lassen sich die Standardzellen gut aneinanderreihen, sind aber wegen der vorgegebenen Zellenhöhe in ihrem Funktionsumfang beschränkt. Dr. Egon Hörbst, Hauptreferent in der Forschung bei Siemens, sieht keinen prinzipiellen Unterschied zwischen Gate Array- und Standardzellenentwurf, wenn das physikalische Layout einmal außer Betracht bleibt. Er meint: „In beiden Fällen erfolgt der Entwurf auf Makrozellenbasis. Während jedoch bei den Gate Arrays nur eine feste Anzahl vorgegebener Einbauplätze für die Grundzellen vorhanden ist, läßt das Standardzellenkonzept eine größere Freiheit bei der Zellendefinition sowie bei der individuellen Auslegung des Verdrahtungsraumes für jede Schaltung zu.“ Dadurch könne bei gleicher Komplexität eine Schaltung in Standardzellentechnik auf wesentlich geringerer Chipfläche realisiert werden. Das müsse jedoch durch hö-

### Quer durch alle Fertigungsebenen

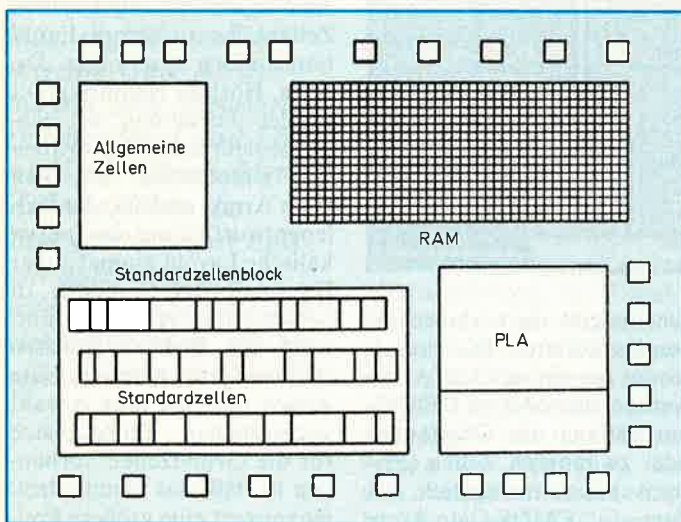
Bei Gate Arrays stehen bekanntlich nur eine oder zwei Metallisierungsebenen zur Disposition des Kunden, um sein Problem zu lösen – die Transistoren selbst werden bereits auf der Siliziumscheibe vorgefertigt und starr in Reih und Glied angeordnet. Dagegen sind beim zellenorientierten Entwurf alle Fertigungsebenen auf dem Wafer für die Problemlösung zugänglich, so daß es keine kundenneutrale Fertigungs-

schritte gibt, die vorfabriziert werden könnten. Die Transistoren bei einem Gate Array werden entweder zu I/O-Zellen entlang des Chiprandes oder zu inneren Zellen (Primitiv) zusammengefaßt. Bei dem CMOS-Gate Array SCX6225 von National Semiconductor sind acht CMOS-Paare in einer inneren Zelle untergebracht, und diese Zellen sind wiederum in 15 Spalten, die Spalte zu 54 Zellen, auf dem Chip verteilt. Aus diesen Zellen werden Funktionseinheiten, Makros genannt, aufgebaut, deren

nd Oder Multiplexern versehen sein, wobei auf kombinatorische und sequentielle Arbeitsweise erdrahtet für jeweils eine Gruppe von acht Ausgängen mit diesen Schmelzsicherungen umgeschaltet werden kann. Die Technik mit den Schmelzsicherungen ist übrigens von den PROM-Bausteinen her bekannt, mit denen die PAL verwandt sind. Inzwischen werden PAL-Chips mit einem Äquivalent von 5000 Gattern angeboten. Diese Chips stehen damit bezüglich der Komplexität den Gate Arrays nicht nach.



Beim PAL lassen sich Boolesche Funktionen zwischen Ein- und Ausgängen programmieren (Quelle: Monolithic Memories)



Die größte Entwurfsvfreiheit lassen allgemeine Zellen zu (Quelle: Siemens)

here Fertigungskosten erkaufte werden. Die größte Freiheit böte natürlich der Entwurf mit allgemeinen Zellen. Beispiele für allgemeine Zellen sind regel-

mäßig strukturierte Elemente, wie RAM, ROM, Slice-Zellen und PLA, aber auch Standardzellenverbände der Schaltungen, die in rekursiver Weise wiederum aus all-

gemeinen Zellen aufgebaut sind (Bild 2).

## Komplexitätsgrenzen durchstoßen

Hörbst macht darauf aufmerksam, daß bei zunehmender Komplexität von VLSI-Schaltungen mit künftig 100 000 und mehr Transistoren auf einem Chip herkömmliche zellenorientierte CAD-Verfahren an die Grenzen ihrer Haltbarkeit stoßen. Hier müsse die Methode des strukturierten hierarchischen Top-Down-Entwurfs frei zur Entfaltung kommen, um umfangreiche Schaltungssysteme in überschaubare Teilsysteme aufzuteilen.

Um mehr Flexibilität zu erreichen und den Umfang der Bibliothek zu beschränken, seien variable Zellen erforderlich, die sich in ihren technologischen, elektrischen und funktionellen Eigenschaften individuell anpassen ließen. In zukünftigen Versionen des Venus-Entwurfssystems von Siemens würden Chipgeneratoren eingebaut, Programme, die Layout, Simulationsmodell, Prüfprogramm und Dokumentation automatisch erzeugen.

Hörbst führt dazu aus: „Im Gegensatz zum klassischen Zellenkonzept, bei dem im Sinne des Bottom-up-Entwurfes immer zuerst die Zellenbibliothek entwickelt werden muß, ermöglicht das Chipgeneratorkonzept den Top-down-Entwurf.“

Der anspruchsvollste Ansatz für die Automatisierung des Chipentwurfs wäre dann der Siliziumcompiler. Ein Siliziumcompiler übersetzt die funktionelle Beschreibung eines Chips in ein physikalisches Layout. „Systeme, die wirklich den Namen Siliziumcompiler verdienen, werden wahrscheinlich in wenigen Jahren zu Verfügung stehen“, prognostiziert Hörbst.

Kennziffer:

Monolithic Memories 402

Siemens 403

# SOLL HABEN

## Ihre HP-Vertragshändler für elektronische Bauelemente:

EBV-ELEKTRONIK

EBV-Elektronik

Oberweg 6  
8025 Unerhaching  
Tel. 089/611051

Schenkstraße 99  
6000 Frankfurt 90  
Tel. 069/785037

Kiebitzrain 18  
3006 Burgwedel 1  
Tel. 05139/5038

Alexanderstraße 4  
7000 Stuttgart 1  
Tel. 0711/247461

Oststraße 129  
4000 Düsseldorf  
Tel. 0211/84846

Jermyn GmbH  
Distribution

Jermyn GmbH

Schulstraße 84  
6277 Bad Camberg  
Tel. 06434/230

Rathelbeckstraße 24  
4000 Düsseldorf 12  
Tel. 0211/203094

Am Joachimsberg 10  
7033 Herrenberg  
Tel. 07032/20301

Weißfelderstraße  
8011 Heimstetten  
Tel. 089/9038001

Ulzburger Straße 304  
2000 Norderstedt  
Tel. 040/5224087

SASCO  
DER DISTRIBUTOR

Sasco GmbH

Dörnwiesweg 5  
2000 Hamburg 54  
Tel. 040/5407058-50

Ameingshof 3b  
3000 Hannover 27  
Tel. 0511/872013

Berater Str. 36  
4600 Dortmund 1  
Tel. 0231/19791

Mittlerer Hasenpfad  
7800 Freiburg  
Tel. 069/610391

Stafflebergerstraße 1  
7000 Stuttgart 1  
Tel. 0711/244521

Andreas-Hofer-Str. 12  
6000 Frankfurt 70  
Tel. 0761/42239

Lorenzer Straße 15  
8500 Nürnberg  
Tel. 0911/204152

Hermann-Oberth-Str.  
8011 Putzbrunn  
Tel. 089/4611-211

DREYER

Ing. Büro K.-H. Dreyer

Flensburger Str. 3  
2380 Schleswig  
Tel. 04621/24055

Albert-Schweitzer-Ring  
2000 Hamburg 70  
Tel. 040/669027-28

Gartenweg 6  
3582 Felsberg  
Tel. 0566/24567

distron

Distron GmbH

Behaimstraße 3  
1000 Berlin 10  
Tel. 030/3421041

hp HEWLETT PACKARD